

# SEMICONDUCTOR MEMORY DEVICE

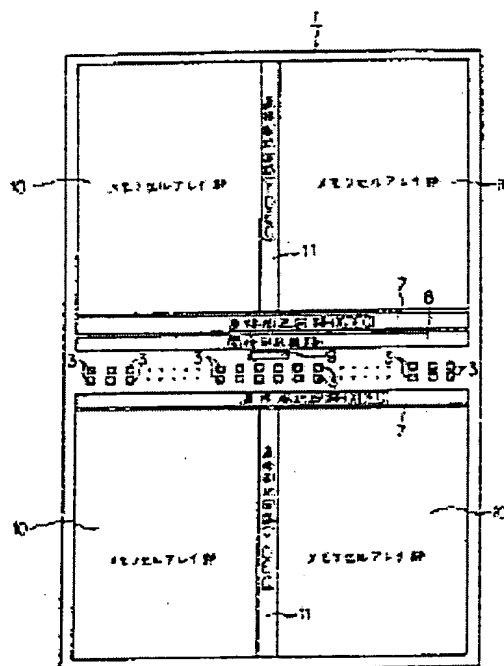
Patent number: JP3116865  
Publication date: 1991-05-17  
Inventor: MIYATAKE SHINICHI; others: 04  
Applicant: HITACHI LTD; others: 01  
Classification:  
- international: H01L27/108; H01L27/04  
- european:  
Application number: JP19890254497 19890929  
Priority number(s):

[View INPADOC patent family](#)

## Abstract of JP3116865

**PURPOSE:** To lessen the occurrence of refresh failures by a method wherein the distances between a substrate potential generating circuit and memory cell sections are elongated respectively by a factor correspondent to an indirect peripheral circuit and a direct peripheral circuit or to a bonding pad and a direct peripheral circuit.

**CONSTITUTION:** When a substrate voltage generating circuit 9 is arranged in a region between an indirect peripheral circuit 8 and bonding pads 3, the circuit 9 is arranged at the center of a part between the upper and the lower memory cell arrays 10. At the same time, the indirect peripheral circuit 8 and a direct peripheral circuit 7 are arranged on a region between the circuit 9 and the upper memory cell arrays 10, and the source and the drain diffusion layers of MISFETs absorb minor carriers induced in the circuit 9. The bonding pads 3 and the direct peripheral circuit 7 are arranged on a region between the circuit 7 and the lower memory cell arrays 10, and the source and the drain diffusion layers of the MISFETs arranged adjacent to them absorb minor carriers induced in the circuit 9. By this setup, a semiconductor memory device of this design can be improved in electrical reliability.



**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-116865

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月17日

H 01 L 27/108  
27/04

A

7514-5F  
8624-5F

H 01 L 27/10

3 2 5 T※

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-254497

⑰ 出 願 平1(1989)9月29日

⑱ 発 明 者 宮 武 伸 一 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイエンジニアリング株式会社内

⑲ 発 明 者 熊 田 淳 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア  
イエエンジニアリング株  
式会社 東京都小平市上水本町5丁目20番1号

㉒ 代 理 人 弁理士 秋田 収喜  
最終頁に続く

#### 明細書

#### 1. 発明の名称

半導体記憶装置

#### 2. 特許請求の範囲

1. 少なくとも2個のメモリセルアレイ部、該夫々のメモリセルアレイ部を制御する直接周辺回路、該直接周辺回路を制御する間接周辺回路、外部端子、基板電圧発生回路の夫々を備えた半導体記憶装置において、前記2個のメモリセルアレイ部間の領域に該夫々のメモリセルアレイ部に沿って前記直接周辺回路を配置し、該夫々の直接周辺回路間の領域に一方の直接周辺回路に沿って前記間接周辺回路を配置すると共に他方の直接周辺回路に沿って外部端子を配置し、前記間接周辺回路と前記外部端子との間の領域に前記基板電圧発生回路を配置したことを特徴とする半導体記憶装置。

2. 前記半導体記憶装置はDRAMであることを特徴とする請求項1に記載の半導体記憶装置。

3. 前記半導体記憶装置は、LOC構造の樹脂封

止型パッケージに搭載されたことを特徴とする

請求項1又は請求項2に記載の半導体記憶装置。

#### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体記憶装置に関し、特に基板電圧発生回路を備えた半導体記憶装置に適用して有効な技術に関するものである。

〔従来の技術〕

1Mや4M[bit]の記憶容量のDRAMを有する半導体記憶装置においては、半導体基板の上下端部に複数個の外部端子(ボンディングパッド)を配置し、このボンディングパッド間の領域に、メモリセルアレイ部、直接周辺回路、間接周辺回路、基板電圧発生回路の夫々を配置している。

前記メモリセルアレイ部は、前記半導体基板の前記上下ボンディングパッド間の中央部に配置され、前記半導体基板表面の大部分の面積を占めている。このメモリセルアレイ部は、例えば上側に2個、下側に2個、合計4個に分割され、情報のアクセススピードを高めている。分割された夫々

のメモリセルアレイ部には、1[bit]の情報を記憶するメモリセルが行列状に複数配置されている。このメモリセルは、メモリセル選択用MOSFETと、このメモリセル選択用MOSFETと直列に接続された情報蓄積用容量素子(キャパシタ)から構成されている。

前記分割された上側2個のメモリセルアレイ部間、下側2個のメモリセルアレイ部間の夫々には、相補性データ線を駆動するYデコード回路が配置されている。また、上側のメモリセルアレイ部と下側のメモリセルアレイ部との間には、ワード線を駆動するXデコード回路やワードドライバ回路が配置されている。これらYデコード回路、Xデコード回路等は、メモリセルアレイ部を直接駆動する直接周辺回路を構成する。

上側のメモリセルアレイ部と上端部に配置されたボンディングパッドとの間には、RAS系回路、CAS系回路等、クロック系回路が配置されている。下側のメモリセルアレイ部と下端側のボンディングパッドとの間には、Xアドレスバッファ回

路、Yアドレスバッファ回路等、アドレス系回路が配置されている。これらクロック系回路、アドレス系回路は、前記直接周辺回路を制御する間接周辺回路を構成する。

前記間接周辺回路のうち、アドレス系回路が配置された下側の間接周辺回路と下端のボンディングパッドとの間の領域には、基板電圧発生回路が配置されている。この基板電圧発生回路は、MOSFETのソース、ドレイン領域に付加される寄生容量を低減するなどの目的で、前記半導体基板を回路の接地電位よりも低い、例えば-2.5乃至-3.5[V]の電位にする。この基板電圧発生回路は、その動作により少数キャリアを発生する。この少数キャリアは、前記メモリセルを構成するキャパシタに侵入し、このキャパシタに蓄積されている情報としての電荷量を変動させ、この変動された電荷量に基づきリフレッシュ動作が行なわれるので、リフレッシュ不良を誘発する。そこで、前述したように、この基板電圧発生回路を前記下端側のボンディングパッドの近傍に配置し、この

基板電圧発生回路と前記メモリセルアレイ部との間に間接周辺回路を配置し、両者間の離隔距離を増加することにより、前記間接周辺回路を構成するMOSFETのソース、ドレイン等の拡散層で少数キャリアを吸収できる確率を高め、前述のリフレッシュ不良の発生を低減している。

一方、記憶容量の増加が進み、16M[bit]の記憶容量のDRAMを有する半導体記憶装置が開発されている。この半導体記憶装置は、樹脂封止型パッケージに搭載されるが、この樹脂封止型パッケージのサイズの増加量に対して、半導体基板のサイズの増加量が大きく、樹脂封止型パッケージ内でのリードの引き回しが難しくなる。このため、この半導体記憶装置は、LOC(Lead On Chip)構造の樹脂封止型パッケージに搭載される。このLOC構造の樹脂封止型パッケージに前記半導体記憶装置を搭載した場合、半導体記憶装置の表面上にリードが引き回されるので、ボンディングパッドは、1Mや4M[bit]の半導体記憶装置のレイアウトとは異なり、半導体基板の中央部に

配置される。メモリセルアレイ部は、このボンディングパッドを中心に上下にまたは左右に分割される。直接周辺回路は、前記ボンディングパッドと前記メモリセルアレイ部との間の領域に、前記メモリセルアレイ部の夫々に沿って配置される。前記ボンディングパッドと前記直接周辺回路のうちの一方との間の領域には、前記直接周辺回路側から、前記基板電圧発生回路、前記間接周辺回路の夫々が順次配置されている。

なお、この種のDRAMについては、例えば特開平1-161859号公報に記載されている。

〔発明が解決しようとする課題〕

しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

前述の16M[bit]の大容量を有するDRAMにおいては、以下に述べるような理由から、前記直接周辺回路、間接周辺回路、ボンディングパッド、基板電圧発生回路の夫々を配置している。

前記直接周辺回路は、この直接周辺回路と前記メモリセルアレイ部との間の配線長を短くし、半

導体記憶装置の動作速度の高速化を図るために、前記メモリセルアレイ部に沿って配置されている。

ボンディングパッドは、大容量化に伴うアドレス信号数の増加に基づき、複数列例えば2列に配置されている。この2列のボンディングパッドは、ワイヤボンディング時の衝撃によって、間接周辺回路や直接周辺回路に損傷や破壊を生じさせないために、間接周辺回路や直接周辺回路と充分離隔して配置され、また、この離隔面積を最小限にするために、1個所に集中的に配置されている。

また、前記間接周辺回路は、上側のメモリセルアレイ部に沿って配置される直接周辺回路を制御する間接周辺回路と、下側のメモリセルアレイ部に沿って配置される直接周辺回路を制御する間接周辺回路とに分割されるが、集積度を向上するために、これらは一体に構成されている。また、この間接周辺回路は、上下夫々の直接周辺回路との間の配線長を均等化し、動作速度の高速化を図る目的で、上下夫々の直接周辺回路間の中央部に配置されている。つまり、DRAMの動作速度の高

速化は、間接周辺回路を中心に、上下夫々に直接周辺回路、メモリセルアレイ部の夫々を順次均一な距離で配置することにより達成することができる。

以上の理由から前記直接周辺回路、ボンディングパッド、間接周辺回路の夫々の配置は決定されている。この結果、前記基板電圧発生回路は、前述したように、前記間接周辺回路と直接周辺回路の一方との間の領域に配置されている（間接周辺回路と直接周辺回路の他方との間の領域には、ボンディングパッドが配置されている）。このため、前記基板電圧発生回路と前記上側のメモリセルアレイ部との間の領域には、前記直接周辺回路の一方のみが配置されることになり、両者間を充分に離隔できないので、前記基板電圧発生回路で発生した少数キャリアをこの直接周辺回路で吸収しきれなくなる。この結果、吸収されない少数キャリアがメモリセルアレイ部に侵入し、メモリセルを構成するキャパシタに蓄積されている情報としての電荷量を変動させるため、この変動された電荷

量に基づきリフレッシュ動作が行なわれた場合、リフレッシュ不良が多発するという問題があった。

本発明の目的は、基板電圧発生回路を備えた半導体記憶装置において、電気的信頼性を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

基板電圧発生回路を備えた半導体記憶装置において、2個のメモリセルアレイ部間の領域に該夫々のメモリセルアレイ部に沿って直接周辺回路を配置し、該夫々の直接周辺回路間の領域に一方の直接周辺回路に沿って間接周辺回路を配置すると共に他方の直接周辺回路に沿って外部端子を配置し、前記間接周辺回路と前記外部端子との間の領域に前記基板電圧発生回路を配置する。

〔作用〕

前述した手段によれば、前記基板電圧発生回路と夫々のメモリセルアレイ部との間の距離を、間接周辺回路と直接周辺回路とに相当する分、または、ボンディングパッドと直接周辺回路とに相当する分大きくすることができるので、前記基板電圧発生回路で発生した少数キャリアのメモリセルアレイ部への侵入を低減し、前述の少数キャリアによるリフレッシュ不良の発生を低減することができる。これにより、半導体記憶装置の電気的信頼性を向上することができる。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

なお、実施例を説明するための全図において、同一機能をもつものは、同一符号を付け、その繰り返しの説明は省略する。

まず、本発明の一実施例であるDRAMを有する半導体記憶装置の実装状態の概略構成を、第2図（平面図）を用いて説明する。このDRAMを

有する半導体記憶装置は、LOC構造の樹脂封止型パッケージに搭載される。

第2図に示すように、実施例の半導体記憶装置は、半導体基板1で構成されている。この半導体基板1は、例えば、単結晶珪素で構成されている。

この半導体基板1は、前述したように、LOC構造の樹脂封止型パッケージに搭載されている。つまり、樹脂封止部2によって、前記半導体基板1は封止されている。

前記半導体基板1の中央部の表面上には、このレイアウトに限定されないが、複数のボンディングパッド（外部端子）3が左右方向に2列に配置されている。

前記ボンディングパッド3の夫々には、ボンディングワイヤ4を介させて、半導体基板1上に引回されたインナーリード5が接続されている。このインナーリード5には、アウターリード6が一体化され接続されている。

このように、LOC構造の樹脂封止型パッケージに前記半導体基板1を搭載し、半導体基板1の

表面上にインナーリード5を引回すことにより、樹脂封止部2のサイズを縮小し、前記樹脂封止型パッケージの小型化を図ることができる。

同第2図中、一点鎖線で囲った領域には、直接周辺回路(7)、間接周辺回路(8)、基板電圧発生回路(9)の夫々が配置されている。

次に、前記半導体基板1内の各回路の配置を、第1図（回路ブロック図）を用いて説明する。

第1図に示すように、前記半導体基板1の表面上には、メモリセルアレイ部10、直接周辺回路7、11、間接周辺回路8、ボンディングパッド3、基板電圧発生回路9の夫々が配置されている。

前記メモリセルアレイ部10は、これに限定されないが、上下及び左右の夫々に4つに分割されて配置されている。このメモリセルアレイ部10には、図示していないが、メモリセルが行列状に複数配置されている。このメモリセルは、メモリセル選択用MISFETと、このメモリセル選択用MISFETと直列に接続された情報蓄積用容量素子（キャパシタ）の直列回路で構成されている。こ

のキャパシタには、情報としての電荷が蓄積される。

前記左右に分割されたメモリセルアレイ部10間に配置された直接周辺回路11は、Yデコード回路を主体に構成されている。前記上下に分割されたメモリセルアレイ部10間において、上下夫々のメモリセルアレイ部10に沿って配置された直接周辺回路7は、ワードドライバ回路、Xデコード回路を主体に構成されている。

この直接周辺回路7間の領域において、上側の一方の直接周辺回路7に沿って、前記間接周辺回路8が配置されている。この間接周辺回路8は、例えば、アドレスバッファ回路、クロック系回路、冗長回路を主体に構成されている。

前記直接周辺回路7間の領域において、下側の他方の直接周辺回路7に沿って、複数のボンディングパッド3が、2列に左右方向に配置されている。

前記間接周辺回路8と前記ボンディングパッド3との間の領域には、基板電圧発生回路9が配置

されている。この基板電圧発生回路9を、前記2列に配列されたボンディングパッド3間に配置した場合には、前記ボンディングパッド3の配列がこの基板電圧発生回路9を迂回するので凹状になってしまう、この結果、直接周辺回路7、間接周辺回路8の夫々も同様に凹状になってしまう。この直接周辺回路7、間接周辺回路8の夫々が凹状になった場合には、直接周辺回路7、間接周辺回路8の夫々を構成する各素子に接続される電源配線や信号配線を、前述の凹状に合わせて曲げる必要がある。この電源配線や信号配線を曲げるためには、この電源配線や信号配線を曲げるための領域を更に設ける必要があるため集積度が低下する。そこで、前記2列に配列されたボンディングパッド3間には前記基板電圧発生回路9を配置せず、前記ボンディングパッド3が配置されている領域とは異なる領域に、前記基板電圧発生回路9を配置している。この基板電圧発生回路9は、前記半導体基板1を、回路の接地電位例えば0[V]よりも低い、例えば-2.5乃至-3.5[V]の電位に

する。この基板電圧発生回路9は、第3図(等価回路図)に示すように、主に、コンデンサC<sub>1</sub>を介してオシレータ12に接続されたMISFET Q<sub>1</sub>、Q<sub>2</sub>から構成されている。この基板電圧発生回路9では、前記オシレータ12から入力されるクロックパルスの変動時に、少数キャリアが発生する。この少数キャリアは、前記MISFET Q<sub>1</sub>、Q<sub>2</sub>を介して、前記半導体基板1に注入される。前記半導体基板1に注入された少数キャリアがメモリセルアレイ部10に侵入すると、メモリセルアレイを構成するキャパシタに蓄積されている情報としての電荷量を変動させるため、この変動された電荷量に基づきリフレッシュ動作が行なわれた場合、リフレッシュ不良が発生する。

ここで、前述したように、前記間接周辺回路8とボンディングパッド3との間の領域には、前記基板電圧発生回路9を配置している。この結果、前記基板電圧発生回路9は、半導体基板1の上下メモリセルアレイ部10間の中央部に配置されることになる。従って、この基板電圧発生回路9と前

回路7の夫々が配置され、これら回路の拡散層で少数キャリアを吸収することができるので、少数キャリアがメモリセルアレイ部10に侵入することは低減され、少数キャリアによるリフレッシュ不良の発生を低減することができる。これにより、半導体記憶装置の電気的信頼性を向上することができる。

本発明者は、前記基板電圧発生回路9とメモリセルアレイ部10との間の距離が約600[μm]程度有り、両者間にMISFETのソース、ドレイン領域等の拡散層が有れば、前述の少数キャリアを吸収し、リフレッシュ不良の発生を充分低減できることを確認している。本実施例によれば、前記基板電圧発生回路9と前記メモリセルアレイ部10との間の距離を約1000[μm]程度とることができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

記メモリセルアレイ部10との間の距離を、均等化することができると共に最大にすることができる。また、同時に、この基板電圧発生回路9と前記上側のメモリセルアレイ部10との間の領域には、前記間接周辺回路8、直接周辺回路7の夫々が配置され、これら回路を構成するMISFETのソース、ドレイン等の拡散層は、前記基板電圧発生回路9で発生した少数キャリアを吸収することができる。また、基板電圧発生回路9と前記下側のメモリセルアレイ部10との間の領域には、前記ボンディングパッド3、直接周辺回路7の夫々が配置され、この直接周辺回路7やボンディングパッド3の近傍に配置される静電気保護回路を構成するMISFETのソース、ドレイン等の拡散層は、前記基板電圧発生回路9で発生した少数キャリアを吸収することができる。従って、前記基板電圧発生回路9と前記メモリセルアレイ部10との間の距離を均等化すると共に大きくし、かつ、両者間には前記間接周辺回路8及び直接周辺回路7、または前記ボンディングパッド3及び前記直接周辺

例えば、本実施例では、前記ボンディングパッド3を2列に配置した例を示したが、本発明は、前記ボンディングパッド3を一列乃至複数列配置することでもできる。

また、前記ボンディングパッド3を、左右方向に配置した例を示したが、本発明は、前記ボンディングパッド3を上下方向に配置することでもできる。この場合、直接周辺回路7、間接周辺回路8の夫々はボンディングパッド3の配列に沿って配置される。

また、本発明は、前記ボンディングパッド3と前記間接周辺回路8の配置を入れ換えることもできる。

#### 〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

基板電圧発生回路を備えた半導体記憶装置において、電気的信頼性を向上することができる。

#### 4. 図面の簡単な説明

第1図は、本発明の一実施例であるDRAMを有する半導体記憶装置の回路ブロック図、

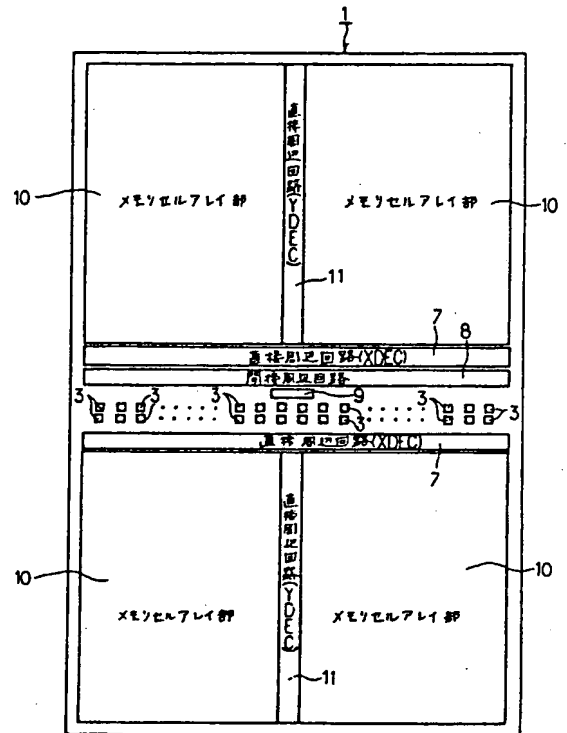
第2図は、前記半導体記憶装置を搭載したLOC構造の樹脂封止型パッケージの全体構成の概略を示す平面図、

第3図は、基板電圧発生回路の等価回路図である。

図中、1…半導体基板、3…ボンディングパッド、7、11…直接周辺回路、8…間接周辺回路、9…基板電圧発生回路、10…メモリアルレイ部である。

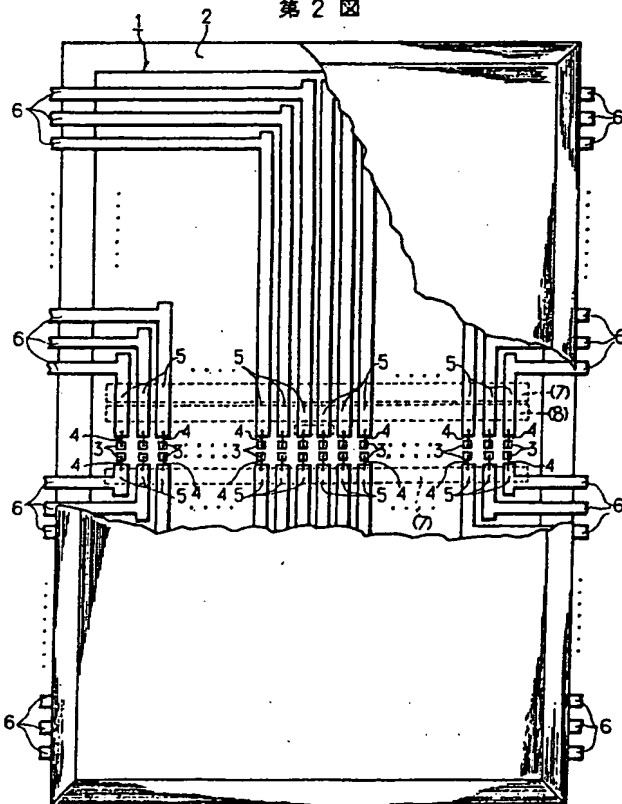
代理人 弁理士 秋田収喜

第1図

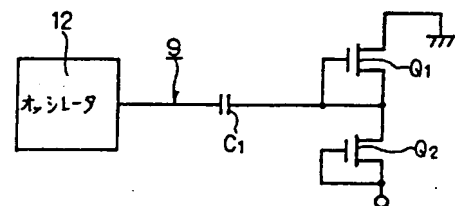


- 1…半導体基板  
3…ボンディングパッド  
7、11…直接周辺回路  
8…間接周辺回路  
9…基板電圧発生回路  
10…メモリアルレイ部

第2図



第3図





第1頁の続き

⑤Int. Cl.<sup>3</sup>

H 01 L 27/04

識別記号

G

庁内整理番号

7514-5F

- ⑦発明者 梶谷 一彦 東京都青梅市今井2326番地 株式会社日立製作所デバイス  
開発センタ内
- ⑦発明者 吉岡 博志 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイエンジニアリング株式会社内
- ⑦発明者 有働 信治 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイエンジニアリング株式会社内

**THIS PAGE BLANK (USPTO)**